

H14/A01 IV族半導体極限ヘテロ構造形成とデバイス 応用に関する研究(共同プロジェクト研究の理念と 概要, 共同プロジェクト研究)

雑誌名	東北大学電気通信研究所研究活動報告
巻	11
ページ	90-93
発行年	2005-08
URL	http://hdl.handle.net/10097/30500

課題番号 H14 / A01

Ⅳ族半導体極限ヘテロ構造形成と デバイス応用に関する研究

[1] 組織

代表者：室田 淳一（東北大学電気通信研究所）

分担者：

庭野 道夫（東北大学電気通信研究所）
 上原 洋一（東北大学電気通信研究所）
 竹廣 忍（東北大学電気通信研究所）
 櫻庭 政夫（東北大学電気通信研究所）
 小柳 光正（東北大学大学院工学研究科）
 栗野 浩之（東北大学大学院工学研究科）
 末光 眞希（東北大学学際科学国際高等研究センター）
 米永 一郎（東北大学金属材料研究所）
 宇佐美德隆（東北大学金属材料研究所）
 白木 靖寛（武蔵工業大学総合研究所）
 安田 幸夫（高知工科大学総合研究所）
 財満 鎮明（名古屋大学大学院工学研究科）
 酒井 朗（名古屋大学大学院工学研究科）
 中塚 理（名古屋大学エコトピア科学研究機構）
 宮尾 正信（九州大学大学院システム情報科学研究院）
 佐道 泰造（九州大学大学院システム情報科学研究院）
 宮崎 誠一（広島大学大学院先端物質科学研究科）
 奥村 次徳（東京都立大学大学院工学研究科）
 和田 一実（東京大学大学院工学系研究科）
 高橋 庸夫（北海道大学大学院工学研究科）
 松本 智（慶應義塾大学理工学部）
 荒井 英輔（名古屋工業大学工学部）
 土屋 敏章（島根大学総合理工学部）
 中川 清和（山梨大学工学部）
 須田 良幸（東京農工大学工学部）
 岩井 洋（東京工業大学大学院総合理工学研究科）
 酒井 徹志（東京工業大学大学院総合理工学研究科）
 大見俊一郎（東京工業大学大学院総合理工学研究科）
 平木 昭夫（高知工科大学電子・光システム工学科）
 田部 道晴（静岡大学電子工学研究所）
 池田 浩也（静岡大学電子工学研究所）
 青木 彪（東京工芸大学工学部）
 小林 信一（東京工芸大学工学部）
 畑 朋延（金沢大学工学部）
 佐々木公洋（金沢大学工学部）
 坂本 統徳（長崎県政策調整局）
 大野 隆央（物質・材料研究機構）
 三木 一司（物質・材料研究機構）

坂本 謙二（物質・材料研究機構）
 竹内 秀明（NTTエレクトロニクス株式会社）
 中山 諭（NTT環境エネルギー研究所）
 石井 仁（NTTマイクロシステムインテグレーション研究所）
 石谷 明彦（ベルギー・IMEC）
 小野 昭一（アルプス電気株式会社）
 尾藤三津雄（アルプス電気株式会社）
 阿部 孝夫（信越半導体株式会社）
 鷺尾 勝由（日立製作所株式会社）
 国井 泰夫（日立国際電気株式会社）
 森谷 敦（日立国際電気株式会社）
 宮本 光雄（森田化学工業株式会社）
 池田 拓也（太陽日酸株式会社）
 廣瀬 泰夫（太陽日酸株式会社）
 佐藤 政明（新日本無線株式会社）
 杉山 直治（株式会社東芝基礎研究所）
 笠間 泰彦（株式会社イデアアルスター）
 Bernd Tillack（ドイツ・IHP）
 Dieter Knoll（ドイツ・IHP）
 Erich Kasper（ドイツ・スツットガルト大学）
 Carl Parry（ドイツ・スツットガルト大学）
 Jacques Derrien（フランス・マルセイユ大学）

配分研究費 校費600千円，旅費857千円

[2] 研究経過

[目的] Ⅳ族半導体極限ヘテロ構造形成プロセスの開発はLSI上への新機能デバイス搭載等のために極めて重要である。本研究では，原子層制御CVD・エッチング・不純物ドーピング・MBE法等の極表面・界面での吸着・反応の制御プロセス技術を駆使して，原子オーダーで制御されたⅣ族半導体極限ヘテロデバイスを実現することを目的とする。さらに，形成したヘテロ構造体から発現する新機能デバイスの探索を行う。扱う材料としては，Si-Ge-C系多層ヘテロエピタキシャル層やP・Bのドーパント原子を始め，Si窒化膜等のⅣ族半導体を基とする絶縁膜，さらにW等の金属膜とSiの多層膜まで幅広く行う。

[概要] 本プロジェクトは，本年度が第3年度であった。原子オーダーで制御されたⅣ族半導体極限へ

テロデバイス実現や新機能発現を目指して、本年度はSi-Ge-Cの原子層積層ヘテロ構造積層と原子層ドーピング構造形成の研究を行った。プロセスにはCVD法・MBE法・ECRプラズマ法を用いて行い、相互の方法の比較を行いながら各々の特徴を生かして最適化を行う。原子レベルでの平坦性及び表面構造の評価にはSTM/AFM, 表面の吸着物質・原子種・結合状態の同定にはXPS・FTIR・ラマン分光を用いる。また、共鳴トンネルダイオード・量子箱・量子細線等の電気特性、発光、及び電子放出特性の計測・評価を行い、IV族半導体ヘテロ構造による新機能デバイスの創生のための指針を得る。

[3] 研究成果

原子層制御CVD法を駆使してNやWを原子層ドーピングしたSiエピタキシャル成長薄膜について室温及び低温下でのホール効果測定を行った結果、Si薄膜はn型半導体となり、通常のn型不純物(PやAs)の場合と比較してドナーの活性化エネルギーがはるかに大きいことを明らかにした。この結果は、半導体のバンドギャップ中への不純物バンド形成を利用した新しいバンドエンジニアリングの基礎となるものである。また、基板非加熱下での低エネルギーECR Arプラズマ照射による表面反応によるSi(100)の原子層窒化制御、及びその表面での、族半導体の低温エピタキシャル成長について研究を進めた結果、Si(100)の原子層窒化制御条件を見いだすと同時に、その上へのSiエピタキシャル成長条件を明らかにし、基板非加熱下でのプラズマプロセスによる原子層ドーピング、族半導体ヘテロ構造の形成を可能にした。そして、作製した原子層ドーピングSi結晶薄膜においては、ほとんどの窒素原子は約2 nm以内の極薄領域に取り込まれており、その最大濃度は $2 \times 10^{21} \text{ cm}^{-3}$ (約4%に相当) を越えることを見いだした。さらに、低エネルギーECR Arプラズマ照射によるSi(100)上での GeH_4 反応により、基板非加熱下での高平坦歪Geエピタキシャル成長を実現した。特に、約1 nm厚さの歪Ge薄膜においては、ほぼSi(100)基板に格子整合し、歪緩和量が非常に少ないことを見いだした。これらの結果は、従来の熱分解反応を用いたCVD法では実現が困難であったものであり、低エネルギープラズマプロセスによる原子層積層構造の高品質化の可能性を示すものである。以上のように、新機能デバイス探索のために不可欠な高品質IV族半導体原子層ヘテロ積層膜の実現において重要な成果を得た。

[4] 研究会活動

本共同プロジェクト研究が中心となり、以下の3つの国際会議を開催した。

- ・第2回SiGeテクノロジー & デバイス国際会議 (ISTDM, 2004年5月16-19日, ドイツ)

Web: <http://www.istdm2004.de/>

- ・第1回SiGe材料・プロセス・デバイスシンポジウム (2004年10月3-8日, 米国)

Web: <http://www.ecs2004sige.org/>

- ・第3回新IV族Si-Ge-C系半導体国際ワークショップ (2004年10月12-13日, 仙台)

Web: <http://www.murota.riec.tohoku.ac.jp/SiGeC3/>

特に、ISTDMにおいては、以下の招待講演18件と一般講演98件の合計116件(うち、日本26件、ドイツ22件、米国16件、台湾12件、フランス9件、英国8件、その他23件)の発表を行うとともに、世界各国から180名の参加者を得、IV族半導体極限ヘテロ構造形成とデバイス応用に関して広範で深い討論が行われると同時に、今後の研究動向についても集約され、きわめて有意義な会議となった。今後も、この分野の共同プロジェクトを推進することにより、IV族半導体極限ヘテロ構造の学問分野が大きく展開すると同時に、次世代Si系ヘテロナノデバイス開発の道も開拓されるものと期待できる。

[ISTDMにおける招待講演タイトルと講演者]

1. Fabrication of Ge channel transistors on Si substrates and their future prospects, Y. Shiraki (Univ. Tokyo)
2. Properties and Applications of SiGe Nanostructures, K.L. Wang (UCLA)
3. 79 GHz Automotive Electronics, J.F. Luy (Daimler Chrysler)
4. Strain Engineering in SiGe/Si-on-Insulator Structures using Compliant Substrate and Stress Balance Approaches, J.C. Sturm (Princeton Univ.)
5. Strained Silicon on Insulator, C. Mazure (SOITEC)
6. Vertical SiGe-based Silicon-on-Nothing (SON) Technology for sub-30 nm MOS Devices, P. Thompson (Naval Research Laboratory)
7. SiGe HBT design for high-frequency applications, H. Ruecker (IHP)
8. High performance SiGeC HBTs on CMOS platform, T. Hashimoto (Hitachi Ltd.)
9. High Ge- and C- Content SiGeC BiCMOS Technology for Low h_{FE} Variability and Low VBE Operation, T. Saitoh (Matsushita)
10. SiGeC HBTs : The TCAD challenge reduced to practice, S. Decoutere (IMEC)

11. The Noise Characteristics in Strained-Si MOSFETs, M.H. Lee (ERSO/ITRI)
 12. (110)-Surface Strained-SOI CMOS Technology, T. Mizuno (MIRAI-ASET)
 13. The future of high-k on pure germanium and its importance for Ge CMOS, M. Meuris (IMEC)
 14. High Electron and Hole Mobility Fully-Silicided gate/High-k/Ge-On-Insulator C-MOSFETs with Process Comparable to Current VLSI, A. Chin (National Chiao Tung Univ.)
 15. Strained-Si MOSFET process technology - Control of impurity and Ge atoms at the heterointerface, N. Sugii (Hitachi Ltd.)
 16. Integration of SiGe:C alloys in advanced CMOS, T. Ernst (ENL)
 17. DC, RF and noise performance of 80 nm gate-length Si/SiGe n-MOSFETs, S.J. Koester (IBM T.J. Watson Research Center)
 18. Hot Carrier Reliability of SiGe/Si-Hetero-MOSFETs, T. Tsuchiya (Shimane Univ.)
- [5] 主な研究発表
1. J. Murota, M. Sakuraba, and B. Tillack, "Atomically Controlled Impurity Doping in Si-Based CVD Epitaxial Growth" (**Invited Paper**), 2004 Mat. Res. Soc. Spring Meeting, Symp. B: High-Mobility Group-IV Materials and Devices, San Francisco, CA, Apr. 12-16, 2004.
 2. T. Tsuchiya, M. Sakuraba and J. Murota, "Hot Carrier Reliability of a SiGe/Si Hetero-Interface in SiGe MOSFETs", IEEE Int. Reliability Physics Symp., Phoenix, Apr. 25-29, 2004, pp.449-454.
 3. T. Tsuchiya, M. Sakuraba and J. Murota, "Hot carrier reliability of SiGe/Si-hetero-MOSFETs" (**Invited Paper**), 2nd Int. SiGe Technol. & Device Meeting (ISTDM 2004), Frankfurt(Oder), Germany, May 16-19, 2004, pp.127-128.
 4. J. Murota, "Low-Temperature SiGe(C) Epitaxial Growth by Ultraclean Hot-Wall Low-Pressure CVD" (**Invited Paper**), Proc. SiGe: Materials Processing and Device (The Electrochem. Soc., 2004), PV.2004-07, pp.825-836. Ext. Abs. ECS Fall Meeting, Honolulu, Hawaii, Oct. 3-8, 2004. Abs.No.1364.
 5. H.-S. Cho, S. Takehiro, M. Sakuraba and J. Murota, "Sidewall Protection by Nitrogen in Anisotropic Etching of P-doped Poly-Si_{1-x}Ge_x", Proc. SiGe: Materials Processing and Device (The Electrochem. Soc., 2004), PV.2004-07, pp.243-250. Ext. Abs. ECS Fall Meeting, Honolulu, Hawaii, Oct. 3-8, 2004, Abs.No.1307.
 6. H. Shim, M. Sakuraba and J. Murota, "Electrical Properties of B-doped Polycrystalline Si_{1-x-y}Ge_xC_y Film Deposited by Ultraclean Low-pressure CVD", Proc. SiGe: Materials Processing and Device (The Electrochem. Soc., 2004), PV.2004-07, pp.261-268. Ext. Abs. ECS Fall Meeting, Honolulu, Hawaii, Oct. 3-8, 2004, Abs.No.1309.
 7. K. Takahashi, T. Kobayashi, M. Sakuraba and J. Murota, "C Atomic Order Doping at Si/Si_{1-x}Ge_x/Si Heterointerface and Improvement of Thermal Stability", Proc. SiGe: Materials Processing and Device (The Electrochem. Soc., 2004), PV.2004-07, pp.915-922. Ext. Abs. ECS Fall Meeting, Honolulu, Hawaii, Oct. 3-8, 2004, Abs.No.1373.
 8. J. Murota, M. Sakuraba and B. Tillack, "Atomically Controlled Impurity Doping for Future Si-Based Devices" (**Invited Paper**), 2004 Int. Conf. on Solid-State and Integrated-Circuit Technol., Beijing, China, Oct. 18-21, 2004, pp.557-562.
 9. T. Tsuchiya, and J. Murota, "Hot carrier reliability of a SiGe/Si hetero-interface in SiGe/Si-hetero-MOSFETs" (**Invited Paper**), 2004 Int. Conf. Solid-State and Integrated-Circuit Technol., Beijing, China, Oct. 18-21, 2004, pp.2120-2124.
 10. K. Sugawara, M. Sakuraba and J. Murota, "Atomically Controlled Ge Epitaxial Growth on Si(100) in Ar Plasma Enhanced GeH₄ Reaction", Mat. Sci. Semiconductor Processing, Vol.8, pp.69-72, (2005).
 11. T. Kurosawa, T. Komatsu, M. Sakuraba and J. Murota, "Electrical Properties of W Delta Doped Si Epitaxial Films Grown on Si(100) by Ultraclean Low-Pressure Chemical Vapor Deposition", Mat. Sci. Semiconductor Processing, Vol.8, pp.125-129, (2005).
 12. Y. Jeong, M. Sakuraba and J. Murota, "Electrical Properties of N Atomic Layer Doped Si Epitaxial Films Grown by Ultraclean Low- Pressure Chemical Vapor Deposition", Mat. Sci. Semiconductor Processing, Vol.8, pp.121-124, (2005).
 13. M. Mori, T. Seino, D. Muto, M. Sakuraba and J. Murota, "Si Epitaxial Growth on Atomic-Order Nitrided Si(100) Using Electron Cyclotron Resonance Plasma", Mat. Sci. Semiconductor Processing, Vol.8, pp.65-68, (2005).

14. H.-S. Cho, S. Takehiro, M. Sakuraba and J. Murota, "Sidewall Protection by Nitrogen and Oxygen in Poly-Si_{1-x}Ge_x Anisotropic Etching Using Cl₂/N₂/O₂ Plasma", Mat. Sci. Semiconductor Processing, Vol.8, pp.239-243, (2005).
15. A. Yamada, M. Sakuraba and J. Murota, "Integration of Si p-i-n Diodes for Light Emitter and Detector with Optical Waveguides", Mat. Sci. Semiconductor Processing, Vol.8, pp.435-438, (2005).
16. T. Yamazaki, S. Ohmi, S. Morita, H. Ohri, J. Murota, M. Sakuraba, H. Omi, Y. Takahashi and T. Sakai, "Separation by Bonding Si Islands (SBSI) for LSI Applications", Mat. Sci. Semiconductor Processing, Vol.8, pp.59-63, (2005).